

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **10-004085**  
 (43)Date of publication of application : **06.01.1998**

(51)Int.Cl. **H01L 21/3065**  
**H01L 21/28**  
**H01L 21/68**

(21)Application number : **08-156515**  
 (22)Date of filing : **18.06.1996**

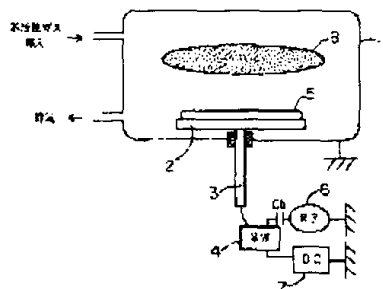
(71)Applicant : **SONY CORP**  
 (72)Inventor : **YAMADA HIROSHI**

## (54) DRY ETCHING AND APPARATUS THEREFOR

(57)Abstract.

**PROBLEM TO BE SOLVED:** To avoid the electrostatic breakdown of an insulation film beneath gates due to charge up at dry etching of a semiconductor substrate with a plasma.

**SOLUTION:** The etching comprises a process of generating a plasma 8 between a grounded chamber and substrate holder 2 disposed therein, feeding a high frequency ac current from an RF power source 6 to the substrate holder in a dry etching apparatus for emitting the plasma 8 on a semiconductor substrate 5 laid on the holder 2, thereby causing a dc self bias to charge up the holder 2 in the negative polarity for a first specified time, and a process of feeding a dc current from a dc power source 7 to the substrate holder to charge up it in the positive polarity for a second specified time.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the gestalt of operation of the 1st of this invention.

[Drawing 2] It is drawing showing the potential and the inrush current of a substrate susceptor accompanying the change to RF AC power supply and DC power supply.

[Drawing 3] It is the block diagram showing the gestalt of operation of the 2nd of this invention.

[Drawing 4] It is drawing showing the potential and the inrush current of a substrate susceptor in the gestalt of the 2nd operation.

[Drawing 5] It is the block diagram showing the conventional dry etching system.

[Drawing 6] It is drawing showing the potential and the inrush current of a substrate susceptor in the conventional dry etching system.

[Drawing 7] It is drawing explaining the electrostatic discharge of the semiconductor substrate generated in the conventional dry etching system.

[Description of Notations]

1 [ -- An electric conduction bearing bar, 4 / -- A circuit changing switch, 5 / -- A semiconductor substrate, 6 / -- RF AC power supply, 7 / -- DC power supply, 8 / -- Plasma ] -- A chamber, 2 -- A substrate susceptor, 3

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the dry etching method and equipment it is made to irradiate the plasma which was made to generate plasma between the grounded case and the substrate susceptor prepared in the interior about the dry etching method and equipment, and was generated at the semiconductor substrate on a substrate susceptor.

[0002]

[Description of the Prior Art] The dry etching system is used at the so-called pulley etching process for removing the scaling film of the metal membrane for wiring prepared in the semiconductor substrate.

[0003] Drawing 5 is the block diagram of the conventional dry etching system. A chamber 101 constitutes seal space among drawing, and inert gas is introduced into the space (for example, Ar gas, 100sccm), and the interior is adjusted to low gas \*\* by connection of an evacuation system (for example, 0.13Pa). Furthermore, a chamber 101 consists of electric conduction material, and is grounded. In a chamber 101, the substrate susceptor 102 is formed in the state where it insulated with the chamber 101 electrically. The substrate susceptor 102 consists of electric conduction material, it connects with the blocking capacitor C through the electric conduction bearing bar 103, and the blocking capacitor C is connected to RF AC power supply (RF) 104. The semiconductor substrate 105 is carried in the substrate susceptor 102 at the time of etching. The blocking capacitor C is for intercepting a direct current. RF AC power supply 104 supplies the frequency of 13.56MHz, and the RF alternating current of alternating-voltage 1000V to the substrate susceptor 102 through the blocking capacitor C and the electric conduction bearing bar 103.

[0004] By supply of the RF alternating current from RF AC power supply 104, plasma 106 occurs between a chamber 101 and the substrate susceptor 102. In plasma 106, the particles (the electron, cation, etc.) and neutral particle which the positive/negative same number ionized exist. To the ability to carry out movement corresponding to change of electric field, since mass of an electron is small, since mass of a cation is large, it cannot make movement corresponding to change of electric field almost. The amplitude of a cation is about 30 micrometers to the amplitude of an electron in case the electric field in an ion sheath carry out simple harmonic motion being set to about 2m. Therefore, although an electron can move according to RF change of electric field, a cation cannot be moved according to RF change of electric field, but becomes moving according to direct-current electric field.

[0005] Thus, in RF change electric field, compared with that the speed of response of an electron and a cation is different, and the substrate susceptor 102, the area of a chamber 101 is large, and when it originates in the chamber 101 whole having ground potential and RF alternating current is supplied to the substrate susceptor 102, only the electron in plasma 106 gathers for the substrate susceptor 102. That is, although a cation hardly moves but only an electron answers RF change electric field in RF change electric field, since the potential of the plasma 106 enclosed by the chamber 101 turns into ground potential very much closely, the electron in plasma 106 serves as environment which is hard to move in the direction of a chamber 101. Consequently, the phenomenon in which an electron gathers for the substrate susceptor 102 occurs.

[0006] The electron gathering in the substrate susceptor 102 is accumulated by operation of the blocking capacitor C at the substrate susceptor 102, consequently bias of the substrate susceptor 102 is carried out to negative. Usually, bias is carried out to about number 100V, and this is called direct-current self-bias. If this negative direct-current self-bias occurs, while the electron in plasma 106 stops being able to flow into the substrate susceptor 102 easily in response to rebounding, it will be accelerated in the substrate susceptor 102 direction, and the cation in plasma 106 will move it. And it will be in equilibrium in the place where the amount of the electron and cation which flow into the substrate susceptor 102 balances among one period of electric-field change, and electric discharge is continued.

[0007] Drawing 6 is drawing showing the potential and the inrush current of the substrate susceptor 102 at the time of such the first stage and a balance. As for (A), (B) the output voltage of RF AC power supply 104 at the time of the first stage the potential of the substrate susceptor 102 at the time of the first stage (C) shows the inrush current to the substrate susceptor 102 at the time of the first stage, in (D), (E) shows the potential of the substrate susceptor 102 at the time of a balance, and (F) shows the inrush current to the substrate susceptor 102 at the time of a balance for the output voltage of RF AC power supply 104 at the time of a balance. The graphs G11 and G13 above Chuo Line L11 and L12 show an electronic inflow, and the lower graphs G12 and G14 show [ in / (C) and (F) / the dashed line in (B) and (E) shows direct-current self-bias, and ] the inflow of a cation, respectively.

[0008] That is, when output voltage as shown in drawing 6 (A) is supplied to the substrate susceptor 102 from RF AC power supply 104, as mentioned above at the time of the first stage, only an electron gathers to the substrate susceptor 102 and is accumulated at the substrate susceptor 102. Consequently, the average of the potential of the substrate susceptor 102 falls, as a dashed line shows to drawing 6 (B). Therefore, while the inflow of the electron to the substrate susceptor 102 falls gradually like the graph G11 shown in drawing 6 (C), the inflow to the substrate susceptor 102 of a cation like the graph G12 shown in drawing 6 (C) starts. Then, as shown in drawing 6 (E), the fall of the average (dashed line) of the potential of the substrate susceptor 102 will be settled, and it will be in equilibrium in the place where the electronic amount [the G graph 13 of drawing 6 (F)] and the amount [the graph G14 of drawing 6 (F)] of a cation which flow into the substrate susceptor 102 balance among one period of electric-field change. The average (dashed line) of the potential of this substrate susceptor 102 turns into a value of direct-current self-bias.

[0009] If the semiconductor substrate 105 is carried in the substrate susceptor 102 in case it returns to drawing 5, a cation is accelerated and it moves to the substrate susceptor 102, a cation will collide with the semiconductor substrate 105 and anisotropic etching will be performed to the scaling film of the metal membrane for wiring prepared in the semiconductor substrate 105. The relation by which the metal membrane for wiring is formed on the insulator layer of the semiconductor substrate 105 in that case to a positive charge is stored in the metal membrane for wiring. Accumulation of this charge is called charge up.

[0010]

[Problem(s) to be Solved by the Invention] By the way, high integration of a silicon semiconductor integrated circuit is progressing. In order to improve the homogeneity within the silicon semiconductor wafer side used for such an integrated circuit, membrane formation, and a working speed, it is in the inclination which the power of the plasma used for dry etching is increasing, consequently is easy to carry out a charge up. In addition, the gate electrode of an MOS transistor is connected to the metal membrane for wiring, and, for this reason, the charge up of the gate electrode is easy to be carried out. the number of wiring which the design of a circuit pattern becomes more complicated and is especially pulled out from one gate electrode of a transistor, and contact -- it is in the inclination for the area of a hole to increase, and this has caused the bigger charge up than a gate electrode's

[0011] Possibility that an electrostatic discharge 111 will occur in the insulator layer under the gate electrode of the semiconductor substrate 105 is increasing as a result of the charge up of such a gate electrode. Drawing 7 is drawing showing the cross section of the semiconductor substrate 105. In drawing 7, the insulating membrane layer 107 and the metal wiring layer 108 are formed, the gate electrode 110 exists on the insulating membrane layer 107, and the gate electrode 110 and the metal wiring layer 108 are connected to the semiconductor substrate 105. When the etching mask 109 is put to the metal wiring layer 108 and the cation of the direction of an arrow is showered, the metal wiring layer 108 \*\*\*\*\*s. With it, the metal wiring layer 108 receives a cation and the charge up of the gate electrode 110 connected to the metal wiring layer 108 is carried out by the positive charge. On the other hand, since the substrate susceptor 102 which carries the semiconductor substrate 105 at this time is charged in negative by direct-current self-bias, an electrostatic discharge 111 may generate it in the insulator layer under the gate electrode 110.

[0012] Especially, it is in the inclination for the insulating membrane layer 107 under the gate electrode 110 of an MOS transistor to become thin, with high integration of a silicon semiconductor integrated circuit. For this reason, such an electrostatic discharge 111 is in the situation which is very easy to generate.

[0013] It is PID (Process Induced Damage) about the obstacle of the integrated circuit induced in such a manufacturing process. It calls and this PID is posing a problem important for the rate of the yield of an integrated circuit.

[0014] this invention is made in view of such a point, and it aims at offering the dry etching method and equipment which prevented the electrostatic discharge of the insulating layer under the gate electrode resulting from a charge up.

[0015]

[Means for Solving the Problem] In order to attain the above-mentioned purpose in this invention, plasma is generated between the grounded case and the substrate susceptor prepared in the interior. The generated plasma to the substrate susceptor in the dry etching system it is made to irradiate the semiconductor substrate on a substrate susceptor. The process which RF alternating current is supplied and direct-current self-bias is generated, and the 1st predetermined time is covered [ process ] and electrifies a substrate susceptor in negative, A direct current is supplied to a substrate susceptor and the dry etching method characterized by having the process which the 2nd predetermined time is covered [ process ] and just electrifies a substrate susceptor is offered.

[0016] In the above processes, RF alternating current covers the 1st predetermined time from RF AC power supply, a substrate susceptor is supplied, thereby, direct-current self-bias occurs in a substrate susceptor, and a substrate susceptor is charged in negative. Therefore, a cation is irradiated by the semiconductor substrate carried in the substrate susceptor, and a semiconductor substrate \*\*\*\*\*s. With this, positive charge is accumulated at a semiconductor substrate. Then, instead of RF AC power supply, positive voltage covers the 2nd predetermined time from DC power supply, and a substrate susceptor is supplied. Thereby, a substrate susceptor is just charged. Therefore, instead of a cation, the electron in plasma reaches a semiconductor substrate and the positive charge accumulated between the 1st predetermined time at the semiconductor substrate is neutralized by this delivered electron between the 2nd predetermined time.

[0017] In this way, the charge up of a semiconductor substrate is solved and the electrostatic discharge of the insulating layer under a gate electrode is prevented.

[0018]

[Embodiments of the Invention] Hereafter, the gestalt of operation of this invention is explained based on a drawing. Drawing 1 is the block diagram of the gestalt of operation of the 1st of the dry etching system concerning this invention. A chamber 1 constitutes seal space among drawing, and inert gas is introduced into the space (for example, Ar gas, 100sccm), and the interior is adjusted to low gas \*\* by connection of an evacuation system (for example, 0.13Pa). Furthermore, a chamber 1 consists of electric conduction material, and is grounded. In a chamber 1, the substrate susceptor 2 is formed in the state where it insulated with the chamber 1 electrically. The substrate susceptor 2 consists of electric conduction material, and is connected to a circuit changing switch (SW) 4 through the electric conduction bearing bar 3. The semiconductor substrate 5 is carried in the substrate susceptor 2 at the time of etching. While RF AC power supply (RF) 6 is connected through the blocking capacitor Cb, DC power supply (DC) 7 are connected to a circuit changing switch 4. RF AC power supply 6 outputs the frequency of 13.56MHz, and the RF alternating current of alternating-voltage 1000V, and DC power supply 7 output positive direct-current-voltage 1000V. A circuit changing switch 4 changes in a 10Hz cycle, and supplies the output of RF AC power supply 6, and the output of DC power supply 7 to the substrate susceptor 2 by turns.

[0019] First, when RF alternating current is supplied to the substrate susceptor 2 from RF AC power supply 6, the electron in the plasma 8 generated between the chamber 1 and the substrate susceptor 2 gathers for the substrate susceptor 2, and is accumulated by direct-current interception operation of the blocking capacitor Cb at the substrate susceptor 2. Therefore, direct-current self-bias of the substrate susceptor 2 is carried out to negative. When direct-current self-bias occurs, it will be accelerated in the direction of the substrate susceptor 2, and the cation in plasma 8 will move. Consequently, a cation collides with the semiconductor substrate 5 carried in the substrate susceptor 2, and performs anisotropic etching to the scaling film of the metal membrane for wiring prepared in the semiconductor substrate 5. The relation by which the metal membrane for wiring is formed on the insulator layer of the semiconductor substrate 5 in that case to a positive charge is stored in the metal membrane for wiring.

[0020] Here, if a circuit changing switch 4 is changed and DC power supply 7 are connected to the substrate susceptor 2 instead of RF AC power supply 6, the substrate susceptor 2 will just be charged. Therefore, former and opposite direction accelerate and etching stops a cation. Moreover, the electron in plasma 8 reaches the metal membrane for wiring of the semiconductor substrate 2, and the positive charge accumulated previously at the metal membrane for wiring of the semiconductor substrate 5 is neutralized.

[0021] (B) shows the potential of the substrate susceptor 2 and (C) shows the inrush current to the substrate susceptor 2 for the supply voltage by which drawing 2 is drawing showing the potential and the inrush current of the substrate susceptor 2 accompanying the change to such RF AC power supply 6 and DC power supply 7, and (A) is supplied to the substrate susceptor 2. The graph G1 above Chuoh Line L1 shows an electronic inflow, and the lower graph G2 shows [ in / (C) / the dashed line in (B) shows direct-current self-bias, and ] the inflow of a cation.

[0022] That is, in the period T1 shown in drawing 2 (A), when RF alternating current is supplied to the substrate susceptor 2 from RF AC power supply 6, direct-current self-bias as shown in drawing 2 (B) with a dashed line occurs in the substrate susceptor 2. If this direct-current self-bias occurs, the cation in plasma 8 will flow into the substrate susceptor 2 like the graph G2 shown in drawing 2 (C), consequently etching will be performed. The relation by which the metal membrane for wiring is formed on the insulator layer of the semiconductor substrate 5 in that case to a positive charge is stored in the metal membrane for wiring.

[0023] Here, in the period T2 shown in drawing 2 (A), if DC power supply 7 are connected to the substrate susceptor 2 by the change of a circuit changing switch 4 instead of RF AC power supply 6, the substrate susceptor 2 will just be charged, as shown in drawing 2 (B). Therefore, like the graph G1 shown in drawing 2 (C), the electron in plasma 8 reaches the substrate susceptor 2, and the positive charge accumulated previously at the metal membrane for wiring of the semiconductor substrate 5 is neutralized by this electron in this case.

[0024] Thus, since the charge up of the metal membrane for wiring of the semiconductor substrate 5 is canceled for every cycle, the electrostatic discharge of the insulating layer under the gate electrode of the semiconductor substrate 2 is prevented easily.

[0025] In addition, although it is made to change a circuit changing switch 4 in a 10Hz cycle, generally this change period is set up as follows. That is, it is set as a value shorter than the threshold value which an electrostatic discharge generates at least since an electrostatic discharge will generate the length of the 1st predetermined time in the semiconductor substrate 2 if too long when [ RF AC power supply 6 ] predetermined-time connection of the 1st is made and predetermined-time connection of the 2nd is made for DC power supply 7 to the substrate susceptor 2. Moreover, since generating of plasma 8 will stop if too long, the length of the 2nd predetermined time is set as a value [ at least ] shorter than the threshold value which generating of plasma 8 stops. That is, if DC power supply 7 are connected to the substrate susceptor 2 for a long time, since the metal membrane for wiring of the semiconductor substrate 5 will pass neutralization, it will be charged in negative and electric discharge will be stopped, before such electric discharge is stopped, the 2nd predetermined time needs to be completed.

[0026] Moreover, although the 1st predetermined time and the 2nd predetermined time are set as 50ms  $[=(10\text{Hz})^{-1} / 2]$  of the same length in the circuit changing switch 4, you may make it use the circuit changing switch which can set both as time to differ instead of a circuit changing switch 4, and may make it give the function in which such time can be set as arbitration from the exterior, further to a circuit changing switch.

[0027] Furthermore, while not using a circuit changing switch 4 but connecting RF AC power supply 6 to the electric conduction bearing bar 3 directly through the blocking capacitor Cb, DC power supply 7 are directly made the composition linked to the electric conduction bearing bar 3, and you may make it turn on and off alternately the power supply current

supplied to RF AC power supply 6 and DC power supply 7, respectively. or while it is alike similarly and connecting RF AC power supply 6 to the electric conduction bearing bar 3 directly through the blocking capacitor Cb, DC power supply 7 are directly made the composition linked to the electric conduction bearing bar 3, the oscillator circuit prepared, respectively into RF AC power supply 6 and DC power supply 7 is controlled, and each output of RF AC power supply 6 and DC power supply 7 may be made to be performed alternately

[0028] Below, the gestalt of the 2nd operation is explained. Drawing 3 is the block diagram of the gestalt of operation of the 2nd of the dry etching system concerning this invention. The 2nd composition of the gestalt of operation is fundamentally the same as the 1st composition of the gestalt of operation. Therefore, in explanation of the gestalt of the 2nd operation, the same sign is given to the same portion as the gestalt of the 1st operation, and the explanation is omitted.

[0029] Only the amount of [ by which the gestalt of the 2nd operation is supplied to the substrate susceptor 2 compared with the gestalt of the 1st operation ] power supply section differs. That is, with the gestalt of the 2nd operation, the pulse power supply 9 is connected to the substrate susceptor 2 through the electric conduction bearing bar 3. The pulse power supply 9 outputs the positive direct current voltage of 1000V for 50ms, outputs the negative direct current voltage of 1000V for 50ms immediately after it, and repeats such an output.

[0030] In the dry etching system to which RF alternating current is not supplied, the insulator layer formed in the semiconductor substrate 5 plays the role of a capacitor, while current is flowing into this capacitor from the plasma 8 and substrate susceptor 2 side, electric discharge is performed, and plasma 8 occurs. If the current flowing in fills the capacity of this capacitor, electric discharge will stop. Then, electric discharge may be maintained if the direct current voltage supplied to the substrate susceptor 2 is changed alternately with positive/negative to front timing rather than electric discharge is stopped. Each supply duration of the direct current voltage of the positive/negative by which electric discharge may be maintained is 50ms.

[0031] First, if negative direct current voltage is supplied to the substrate susceptor 2, plasma 8 occurs between a chamber 1 and the substrate susceptor 2, it will be accelerated in the direction of the substrate susceptor 2, and the cation in plasma 8 will move. Thereby, a cation collides with the semiconductor substrate 5 carried in the substrate susceptor 2, and anisotropic etching is performed to the scaling film of the metal membrane for wiring prepared in the semiconductor substrate 5. The relation by which the metal membrane for wiring is formed on the insulator layer of the semiconductor substrate 5 in that case to a positive charge is stored in the metal membrane for wiring.

[0032] Next, if positive direct current voltage is supplied to the substrate susceptor 2, former and opposite direction will accelerate and etching will stop a cation. And the electron in plasma 8 reaches the metal membrane for wiring of the semiconductor substrate 2, and the positive charge accumulated previously at the metal membrane for wiring of the semiconductor substrate 5 is neutralized.

[0033] Drawing 4 is drawing showing the potential and the inrush current of the substrate susceptor 2 in the gestalt of the 2nd such operation, in (A), (B) shows the potential of the substrate susceptor 2 and (C) shows the inrush current to the substrate susceptor 2 for the output voltage of the pulse power supply 9. In (C), graph G3 above Chuo Line L2 shows an electronic inflow, and the lower graph G4 shows the inflow of a cation.

[0034] That is, in the period T3 shown in drawing 4 (A), if negative direct current voltage is supplied to the substrate susceptor 2, as shown in drawing 4 (B), the substrate susceptor 2 will be charged in negative, and the cation in plasma 8 will flow into the substrate susceptor 2 like the graph G4 shown in drawing 4 (C). Under the present circumstances, while a cation collides with the metal membrane for wiring of the semiconductor substrate 5 and etching is performed, the relation by which the metal membrane for wiring is formed on the insulator layer of the semiconductor substrate 5 to a positive charge is stored in the metal membrane for wiring.

[0035] Next, if positive direct current voltage is supplied to the substrate susceptor 2 in the period T4 shown in drawing 4 (A), as shown in drawing 4 (B), the substrate susceptor 2 will just be charged, and the electron in plasma 8 will flow into the substrate susceptor 2 like graph G3 shown in drawing 4 (C). In this case, this electron neutralizes the positive charge accumulated previously at the metal membrane for wiring of the semiconductor substrate 5.

[0036] Thus, also with the gestalt of the 2nd operation, the charge up of the metal membrane for wiring of the semiconductor substrate 5 is canceled for every cycle, and the electrostatic discharge of the insulating layer under the gate electrode of the semiconductor substrate 2 is prevented easily.

[0037] In addition, with the pulse power supply 9 of the gestalt of the 2nd operation, although the duration of the direct current voltage of positive/negative is set as 50ms each, it is not restricted to these. Generally, such duration is set up in consideration of prevention of the electrostatic discharge of the semiconductor substrate 2, and prevention of an electric discharge halt. Moreover, you may make it give the function in which such duration can be set as the pulse power supply 9 from the exterior at arbitration.

[0038]

[Effect of the Invention] As explained above, in this invention, a circuit changing switch and DC power supply were prepared in the dry etching system in addition to RF AC power supply. Thereby, the positive charge accumulated in the midst of etching by the cation at the semiconductor substrate is neutralized by the degree of connection of the DC power supply by the circuit changing switch. In this way, the charge up of a semiconductor substrate is canceled and it becomes possible to prevent easily the electrostatic discharge generated in the insulating layer under the gate electrode of the transistor prepared in the semiconductor substrate.

[Translation done.]

CLIPPEDIMAGE= JP410004085A

PAT-NO: JP410004085A

DOCUMENT-IDENTIFIER: JP 10004085 A

TITLE: DRY ETCHING AND APPARATUS THEREFOR

PUBN-DATE: January 6, 1998

INVENTOR-INFORMATION:

NAME

YAMADA, HIROSHI

ASSIGNEE-INFORMATION:

NAME

SONY CORP

COUNTRY

N/A

APPL-NO: JP08156515

APPL-DATE: June 18, 1996

INT-CL (IPC): H01L021/3065;H01L021/28 ;H01L021/68

ABSTRACT:

PROBLEM TO BE SOLVED: To avoid the electrostatic breakdown of an insulation film beneath gates due to charge up at dry etching of a semiconductor substrate with a plasma.

SOLUTION: The etching comprises a process of generating a plasma 8 between a grounded chamber and substrate holder 2 disposed therein, feeding a high



frequency ac current from an RF power source 6 to the substrate holder in a dry etching apparatus for emitting the plasma 8 on a semiconductor substrate 5 laid on the holder 2, thereby causing a dc self bias to charge up the holder 2 in the negative polarity for a first specified time, and a process of feeding a dc current from a dc power source 7 to the substrate holder to charge up it in the positive polarity for a second specified time.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-4085

(43) 公開日 平成10年(1998) 1月6日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/3065		H 0 1 L 21/302	B
	21/28		21/28	F
	21/68		21/68	N

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平8-156515

(22) 出願日 平成8年(1996) 6月18日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 山田 博

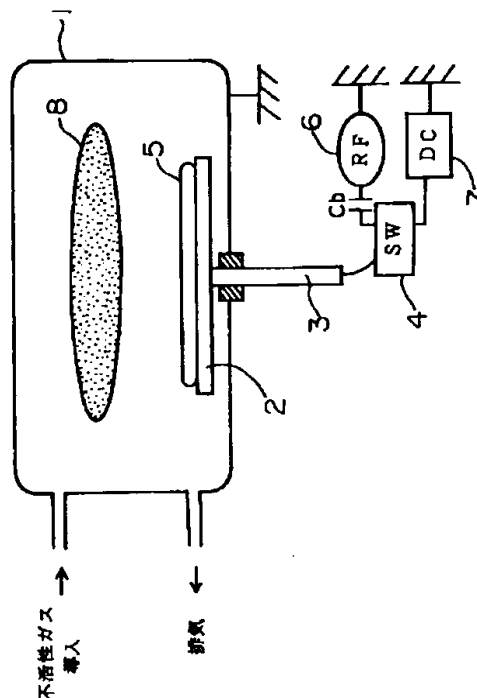
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(54) 【発明の名称】 ドライエッチング方法および装置

(57) 【要約】

【課題】 プラズマを使用して半導体基板のエッチングを行うドライエッチング方法および装置に関し、チャージアップに起因するゲート電極下の絶縁層の静電破壊を防止することを課題とする。

【解決手段】 接地されたチャンバ1とその内部に設けられた基板支持台2との間にプラズマ8を発生させ、発生したプラズマ8を、基板支持台2上の半導体基板5に照射するようにするドライエッチング装置における基板支持台2に、RF交流電源6から高周波交流電流を供給して直流セルフバイアスを発生させ、基板支持台2を第1の所定時間に亘って負に帯電させる工程と、基板支持台2に直流電源7から直流電流を供給して基板支持台2を第2の所定時間に亘って正に帯電させる工程とから成る。



## 【特許請求の範囲】

【請求項1】 接地された筐体とその内部に設けられた基板支持台との間にプラズマを発生させ、発生したプラズマを、前記基板支持台上の半導体基板に照射するようにするドライエッチング方法において、

前記基板支持台に高周波交流電流を供給して直流セルフバイアスを発生させ、前記基板支持台を第1の所定時間に亘って負に帯電させる工程と、

前記基板支持台に直流電流を供給して前記基板支持台を第2の所定時間に亘って正に帯電させる工程と、

を有することを特徴とするドライエッチング方法。

【請求項2】 前記第1の所定時間の値は、少なくとも前記半導体基板の静電破壊が発生する限界値よりも小さい値に設定されることを特徴とする請求項1記載のドライエッチング方法。

【請求項3】 前記第2の所定時間の値は、少なくともプラズマの発生が停止する限界値よりも小さい値に設定されることを特徴とする請求項1記載のドライエッチング方法。

【請求項4】 接地された筐体とその内部に設けられた基板支持台との間にプラズマを発生させ、発生したプラズマを、前記基板支持台上の半導体基板の表面に形成された金属薄膜に照射して取り除くようにするドライエッチング方法において、

前記基板支持台を直流セルフバイアスにより負に帯電させ、前記金属薄膜を正電荷イオンでエッチングする工程と、

前記基板支持台を直流電源により正に帯電させて前記金属薄膜に負電子を注入させ、前記金属薄膜に蓄えられた正電荷を中和する工程と、

を有することを特徴とするドライエッチング方法。

【請求項5】 プラズマを使用したドライエッチング装置において、  
接地されるとともに、内部でプラズマが発生されるようにされた筐体と、

前記筐体の内部に設けられ、半導体基板が搭載される基板支持台と、

前記基板支持台に高周波交流電流を供給して、前記基板支持台を直流セルフバイアスにより負に帯電させる高周波交流電源と、

前記基板支持台に直流電流を供給して、前記基板支持台を正に帯電させる直流電源と、

前記高周波交流電源からの高周波交流電流と前記直流電源からの直流電流とを交互に前記基板支持台に供給する切替手段と、

を有することを特徴とするドライエッチング装置。

【請求項6】 プラズマを使用したドライエッチング装置において、

接地されるとともに、内部でプラズマが発生されるようにされた筐体と、

前記筐体の内部に設けられ、半導体基板が搭載される基板支持台と、

前記基板支持台に接続され、前記基板支持台に正負の直流電圧を交互に供給する供給手段と、

を有することを特徴とするドライエッチング装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ドライエッチング方法および装置に関し、特に、接地された筐体とその内部に設けられた基板支持台との間にプラズマを発生させ、発生したプラズマを、基板支持台上の半導体基板に照射するようにするドライエッチング方法および装置に関する。

【0002】

【従来の技術】半導体基板に設けられた配線用金属膜の表面酸化膜を除去するための、所謂アリエッチング工程では、ドライエッチング装置が使用されている。

【0003】図5は、従来のドライエッチング装置の構成図である。図中、チェンバ101が密封空間を構成し、その空間に不活性ガスが導入され（例えば、Arガス、100sccm）、また、真空排気系の接続により内部が低ガス圧に調整される（例えば、0.13Pa）。さらにチェンバ101は導電材で構成され、接地されている。チェンバ101内には基板支持台102が、チェンバ101と電気的に絶縁された状態で設けられる。基板支持台102は、導電材で構成され、導電支持棒103を介してブロッキングコンデンサCに接続され、ブロッキングコンデンサCはRF交流電源（RF）104に接続される。基板支持台102にはエッチング時に半導体基板105が搭載される。ブロッキングコンデンサCは直流電流を遮断するためのものである。RF交流電源104は、周波数13.56MHz、交流電圧1000Vの高周波交流電流を、ブロッキングコンデンサCおよび導電支持棒103を介して基板支持台102に供給する。

【0004】RF交流電源104からの高周波交流電流の供給により、チェンバ101と基板支持台102との間にプラズマ106が発生する。プラズマ106の中には、正負同数の電離した粒子（電子、陽イオン等）と中性粒子とが存在する。電子は質量が小さいため電界の変動に対応した運動をすることができるのに対し、陽イオンは質量が大きいため電界の変動に対応した運動を殆どすることができない。イオンシース内の電界が単振動するときの電子の振幅が約2mとなるのに対し、陽イオンの振幅は約30μmである。したがって、電子は電界の高周波変動に応じて動き得るが、陽イオンは電界の高周波変動に応じて動けず、直流電界に応じて動くだけとなる。

【0005】このように高周波変動電界では電子と陽イオンとの応答速度が違うということ、および基板支持台

102に比べてチェンバ101の面積が大きく、チェンバ101全体がアース電位になっていることに起因して、基板支持台102に高周波交流電流が供給されているときに、プラズマ106中の電子だけが基板支持台102に集まる。すなわち、高周波変動電界では陽イオンは殆ど移動せず、電子だけが高周波変動電界に応答するが、チェンバ101に取り囲まれたプラズマ106の電位がアース電位に非常に近くなるために、プラズマ106中の電子がチェンバ101の方向には移動しづらい環境となっている。その結果、電子が基板支持台102に集まるという現象が発生する。

【0006】基板支持台102に集まった電子は、ブロッッキングコンデンサCの作用により基板支持台102に蓄積され、その結果、基板支持台102が負にバイアスされる。通常、数100V程度にバイアスされ、これを直流セルフバイアスと呼ぶ。この負の直流セルフバイアスが発生すると、プラズマ106中の電子は反発を受けて基板支持台102に流れ込みにくくなる一方、プラズマ106中の陽イオンが基板支持台102方向に加速されて移動することになる。そして、電界変動の1周期の間に基板支持台102に流れ込む電子と陽イオンとの量が釣り合うところで平衡状態となり、放電が継続される。

【0007】図6は、こうした初期時および平衡時の基板支持台102の電位および流入電流を示す図であり、(A)は初期時のRF交流電源104の出力電圧を、(B)は初期時の基板支持台102の電位を、(C)は初期時の基板支持台102への流入電流を示し、(D)は平衡時のRF交流電源104の出力電圧を、(E)は平衡時の基板支持台102の電位を、(F)は平衡時の基板支持台102への流入電流を示す。(B)、(E)における破線は直流セルフバイアスを示し、(C)、(F)において、中央線L11、L12よりも上部のグラフG11、G13は電子の流入量を、下部のグラフG12、G14は陽イオンの流入量をそれぞれ示す。

【0008】すなわち、RF交流電源104から、図6(A)に示すような出力電圧が、基板支持台102へ供給された場合、初期時には、上述したように電子だけが基板支持台102へ集まり、基板支持台102に蓄積される。この結果、基板支持台102の電位の平均値が、図6(B)に破線で示すように低下する。そのため、基板支持台102への電子の流入が、図6(C)に示すグラフG11のように次第に低下するとともに、図6(C)に示すグラフG12のような陽イオンの基板支持台102への流入が始まる。その後、電界変動の1周期の間に基板支持台102に流れ込む電子の量〔図6(F)のGグラフ13〕と陽イオンの量〔図6(F)のグラフG14〕とが釣り合うところで、図6(E)に示すように、基板支持台102の電位の平均値(破線)の低下が収まり、平衡状態となる。この基板支持台102

の電位の平均値(破線)が直流セルフバイアスの値となる。

【0009】図5に戻って、陽イオンが加速されて基板支持台102へ移動する際に、基板支持台102に半導体基板105が搭載されていると、陽イオンが半導体基板105に衝突し、半導体基板105に設けられた配線用金属膜の表面酸化膜に対して異方性エッチングが行われる。その際に、配線用金属膜が、半導体基板105の絶縁膜上に形成されている関係から、正電荷が配線用金属膜に蓄えられる。この電荷の蓄積をチャージアップと呼ぶ。

【0010】

【発明が解決しようとする課題】ところで、シリコン半導体集積回路の高集積化が進んでいる。そうした集積回路に使用するシリコン半導体ウェハ面内の均一性や成膜、加工速度を向上するために、ドライエッチングに使用するプラズマの電力が増大しており、その結果、チャージアップし易い傾向にある。なお、配線用金属膜にMOSTランジスタのゲート電極が接続されており、このため、ゲート電極がチャージアップされ易い。特に、回路パターン設計がより複雑になって、トランジスタの1つのゲート電極から引き出される配線数やコンタクト孔の面積が増大する傾向にあり、これがゲート電極のより大きなチャージアップを引き起こしている。

【0011】こうしたゲート電極のチャージアップの結果、半導体基板105のゲート電極下の絶縁膜で静電破壊111が発生する可能性が高まっている。図7は半導体基板105の断面を示す図である。図7において、半導体基板105には、絶縁膜層107、金属配線層108が形成され、絶縁膜層107上にゲート電極110が存在し、ゲート電極110と金属配線層108とが接続されている。金属配線層108に対してエッチングマスク109を被せ、矢印方向の陽イオンを浴びせると、金属配線層108がエッチングされる。それとともに、金属配線層108は陽イオンを受け、金属配線層108に接続されたゲート電極110が正電荷でチャージアップされる。一方このとき、半導体基板105を搭載している基板支持台102は、直流セルフバイアスにより負に帯電しているので、ゲート電極110の下に絶縁膜に静電破壊111が発生する可能性がある。

【0012】特に、シリコン半導体集積回路の高集積化に伴い、MOSTランジスタのゲート電極110下の絶縁膜層107が薄くなる傾向にある。このため、こうした静電破壊111が非常に発生し易い状況にある。

【0013】このような製造工程において誘発される集積回路の障害をPID(Process Induced Damage)と呼び、このPIDが、集積回路の歩留り率に重要な問題となってきている。

【0014】本発明はこのような点に鑑みてなされたものであり、チャージアップに起因するゲート電極下の絶

絶縁層の静電破壊を防止するようにしたドライエッチング方法および装置を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明では上記目的を達成するために、接地された筐体とその内部に設けられた基板支持台との間にプラズマを発生させ、発生したプラズマを、基板支持台上の半導体基板に照射するようにするドライエッチング装置における基板支持台に、高周波交流電流を供給して直流セルフバイアスを発生させ、基板支持台を第1の所定時間に亘って負に帯電させる工程と、基板支持台に直流電流を供給して基板支持台を第2の所定時間に亘って正に帯電させる工程とを、有することを特徴とするドライエッチング方法が提供される。

【0016】以上のような工程において、高周波交流電源から高周波交流電流が第1の所定時間に亘って基板支持台に供給され、これにより、基板支持台に直流セルフバイアスが発生し、基板支持台は負に帯電される。したがって、基板支持台に搭載された半導体基板に陽イオンが照射され、半導体基板がエッチングされる。これとともに、半導体基板に正の電荷が蓄積される。その後、高周波交流電源に代わって直流電源から正の電圧が第2の所定時間に亘って基板支持台に供給される。これにより、基板支持台は正に帯電される。そのため、陽イオンに代わって、半導体基板にはプラズマ中の電子が届き、第1の所定時間の間に半導体基板に蓄積された正電荷が、この届いた電子により第2の所定時間の間に中和される。

【0017】こうして半導体基板のチャージアップが解消し、ゲート電極下の絶縁層の静電破壊を防止する。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。図1は、本発明に係るドライエッチング装置の第1の実施の形態の構成図である。図中、チャンバ1が密封空間を構成し、その空間に不活性ガスが導入され（例えば、Arガス、100sccm）、また、真空排気系の接続により内部が低ガス圧に調整される（例えば、0.13Pa）。さらにチャンバ1は導電材で構成され、接地されている。チャンバ1内には基板支持台2が、チャンバ1と電気的に絶縁された状態で設けられる。基板支持台2は、導電材で構成され、導電支持棒3を介して切替スイッチ（SW）4に接続される。基板支持台2にはエッチング時に半導体基板5が搭載される。切替スイッチ4には、ブロッキングコンデンサCbを介してRF交流電源（RF）6が接続されるとともに、直流電源（DC）7が接続される。RF交流電源6は、周波数13.56MHz、交流電圧1000Vの高周波交流電流を出力し、直流電源7は正の直流電圧1000Vを出力する。切替スイッチ4は10Hzのサイクルで切替えを行い、RF交流電源6の出力と直流電源7の出力とを交互に基板支持台2に供給する。

【0019】まず、RF交流電源6から基板支持台2に高周波交流電流が供給されているときには、チャンバ1と基板支持台2との間に発生したプラズマ中の電子が基板支持台2に集まり、ブロッキングコンデンサCbの直流電流遮断作用により、基板支持台2に蓄積される。したがって、基板支持台2が負に直流セルフバイアスされる。直流セルフバイアスが発生すると、プラズマ中の陽イオンが基板支持台2の方向に加速されて移動することになる。この結果、陽イオンが、基板支持台2に搭載された半導体基板5に衝突し、半導体基板5に設けられた配線用金属膜の表面酸化膜に対して異方性エッチングを行う。その際に、配線用金属膜が、半導体基板5の絶縁膜上に形成されている関係から、正電荷が配線用金属膜に蓄えられる。

【0020】ここで、切替スイッチ4を切替え、RF交流電源6に代わって直流電源7を基板支持台2に接続すると、基板支持台2は正に帯電される。そのため、陽イオンは今までと反対方向に加速され、エッチングが停止する。その上、半導体基板2の配線用金属膜にはプラズマ中の電子が届き、先に半導体基板5の配線用金属膜に蓄積されていた正電荷が中和される。

【0021】図2は、こうしたRF交流電源6と直流電源7との切替えに伴う基板支持台2の電位および流入電流を示す図であり、（A）は基板支持台2へ供給される電源電圧を、（B）は基板支持台2の電位を、（C）は基板支持台2への流入電流を示す。（B）における破線は直流セルフバイアスを示し、（C）において、中央線L1より上部のグラフG1は電子の流入量を、下部のグラフG2は陽イオンの流入量を示す。

【0022】すなわち、図2（A）に示す期間T1において、RF交流電源6から基板支持台2に高周波交流電流が供給されているときには、図2（B）に破線で示すような直流セルフバイアスが、基板支持台2に発生する。この直流セルフバイアスが発生すると、プラズマ中の陽イオンが、図2（C）に示すグラフG2のように、基板支持台2に流入し、この結果、エッチングが行われる。その際に、配線用金属膜が、半導体基板5の絶縁膜上に形成されている関係から、正電荷が配線用金属膜に蓄えられる。

【0023】ここで、図2（A）に示す期間T2において、切替スイッチ4の切替えによって、RF交流電源6に代わって直流電源7が基板支持台2に接続されると、基板支持台2は、図2（B）に示すように正に帯電される。そのため、図2（C）に示すグラフG1のように、プラズマ中の電子が基板支持台2に届き、この際、先に半導体基板5の配線用金属膜に蓄積されていた正電荷がこの電子によって中和される。

【0024】このようにして、半導体基板5の配線用金属膜のチャージアップがサイクル毎に解消されるので、半導体基板2のゲート電極下の絶縁層の静電破壊が容易

に防止される。

【0025】なお、切替スイッチ4は10Hzのサイクルで切替えるようにしているが、この切替え周期は一般的にはつぎのようにして設定する。すなわち、基板支持台2にRF交流電源6が第1の所定時間接続され、直流電源7が第2の所定時間接続されるとしたときに、第1の所定時間の長さを、長過ぎると半導体基板2に静電破壊が発生するので、少なくとも、静電破壊が発生する限界値よりも短い値に設定する。また、第2の所定時間の長さを、長過ぎるとプラズマ8の発生が停止してしまうので、少なくとも、プラズマ8の発生が停止する限界値よりも短い値に設定する。つまり、直流電源7を基板支持台2に長く接続しておく、半導体基板5の配線用金属膜が中和を通り越して負に帯電されてしまい、放電が停止してしまうので、こうした放電が停止されないうちに第2の所定時間が終了する必要がある。

【0026】また、切替スイッチ4では、第1の所定時間と、第2の所定時間と同じ長さの50ms (= (10Hz)<sup>-1</sup>/2) に設定されているが、切替スイッチ4に代わって、両者を異なる時間に設定できる切替スイッチを使用するようにしてもよく、さらに、切替スイッチに、これらの時間を外部から任意に設定できるような機能を持たせるようにしてもよい。

【0027】さらに、切替スイッチ4を使用せず、RF交流電源6をブロッキングコンデンサCbを介して直接、導電支持棒3に接続するとともに、直流電源7を直接、導電支持棒3に接続する構成にし、RF交流電源6および直流電源7へそれぞれ供給される電源電流を互い違いにオンオフするようにしてもよい。或いは、同様に、RF交流電源6をブロッキングコンデンサCbを介して直接、導電支持棒3に接続するとともに、直流電源7を直接、導電支持棒3に接続する構成にし、RF交流電源6および直流電源7の中にそれぞれ設けられる発振回路を制御して、RF交流電源6および直流電源7の各出力が互い違いに行われるようにしてもよい。

【0028】つぎに、第2の実施の形態を説明する。図3は、本発明に係るドライエッチング装置の第2の実施の形態の構成図である。第2の実施の形態の構成は基本的に第1の実施の形態の構成と同じである。したがって、第2の実施の形態の説明では、第1の実施の形態と同一部分には同一符号を付してその説明を省略する。

【0029】第2の実施の形態は、第1の実施の形態に比べて、基板支持台2に供給される電源部分だけが異なっている。すなわち、第2の実施の形態では、基板支持台2に導電支持棒3を介してパルス電源9が接続される。パルス電源9は、正の1000Vの直流電圧を50msの間出力し、その後、負の1000Vの直流電圧を50msの間出力し、こうした出力を繰り返すものである。

【0030】高周波交流電流が供給されないドライエ

チング装置では、半導体基板5に形成された絶縁膜がコンデンサの役割を果たし、このコンデンサにプラズマ8および基板支持台2側から電流が流れ込んでいる間は放電が行われ、プラズマ8が発生する。流れ込む電流が、このコンデンサの容量を満たすと放電が停止する。そこで、基板支持台2に供給する直流電圧を、放電が停止されるよりも前のタイミングで正負交互に切り替えれば放電が維持され得る。放電が維持され得る正負の直流電圧の各供給継続期間は、例えば50msである。

【0031】まず、負の直流電圧が基板支持台2に供給されると、チェンバ1と基板支持台2との間にプラズマ8が発生し、プラズマ8中の陽イオンが基板支持台2の方向に加速されて移動する。これにより、陽イオンが、基板支持台2に搭載された半導体基板5に衝突し、半導体基板5に設けられた配線用金属膜の表面酸化膜に対して異方性エッチングが行われる。その際に、配線用金属膜が、半導体基板5の絶縁膜上に形成されている関係から、正電荷が配線用金属膜に蓄えられる。

【0032】つぎに、正の直流電圧が基板支持台2に供給されると、陽イオンは今までと反対方向に加速され、エッチングが停止する。そして、半導体基板2の配線用金属膜にはプラズマ8中の電子が届き、先に半導体基板5の配線用金属膜に蓄積されていた正電荷が中和される。

【0033】図4は、こうした第2の実施の形態における基板支持台2の電位および流入電流を示す図であり、(A)はパルス電源9の出力電圧を、(B)は基板支持台2の電位を、(C)は基板支持台2への流入電流を示す。(C)において、中央線L2よりも上部のグラフG3は電子の流入量を、下部のグラフG4は陽イオンの流入量を示す。

【0034】すなわち、図4(A)に示す期間T3において、負の直流電圧が基板支持台2に供給されると、図4(B)に示すように基板支持台2が負に帯電し、プラズマ8中の陽イオンが、図4(C)に示すグラフG4のように基板支持台2に流れ込む。この際、陽イオンが半導体基板5の配線用金属膜に衝突してエッチングが行われるとともに、配線用金属膜が、半導体基板5の絶縁膜上に形成されている関係から、正電荷が配線用金属膜に蓄えられる。

【0035】つぎに、図4(A)に示す期間T4において、正の直流電圧が基板支持台2に供給されると、図4(B)に示すように基板支持台2が正に帯電し、プラズマ8中の電子が、図4(C)に示すグラフG3のように基板支持台2に流入する。この際に、この電子が、先に半導体基板5の配線用金属膜に蓄積されていた正電荷を中和する。

【0036】このようにして、第2の実施の形態でも、半導体基板5の配線用金属膜のチャージアップがサイクル毎に解消され、半導体基板2のゲート電極下の絶縁層

の静電破壊が容易に防止される。

【0037】なお、第2の実施の形態のパルス電源9では、正負の直流電圧の継続時間を各50msに設定しているが、これらに限られることはない。一般には、これらの継続時間は、半導体基板2の静電破壊の防止や、放電停止の防止を考慮して設定されるものである。また、パルス電源9に、これらの継続時間を外部から任意に設定できるような機能を持たせるようにしてもよい。

【0038】

【発明の効果】以上説明したように本発明では、ドライエッチング装置において高周波交流電源以外に、切替スイッチおよび直流電源を設けた。これにより、陽イオンによるエッチングの最中に半導体基板に蓄積された正電荷が、切替スイッチによる直流電源の接続の度に、中和される。かくして、半導体基板のチャージアップが解消され、半導体基板に設けられたトランジスタのゲート電極下の絶縁層に発生する静電破壊を容易に防止することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示す構成図である。

【図2】RF交流電源と直流電源との切替えに伴う基板支持台の電位および流入電流を示す図である。

【図3】本発明の第2の実施の形態を示す構成図である。

【図4】第2の実施の形態における基板支持台の電位および流入電流を示す図である。

【図5】従来のドライエッチング装置を示す構成図である。

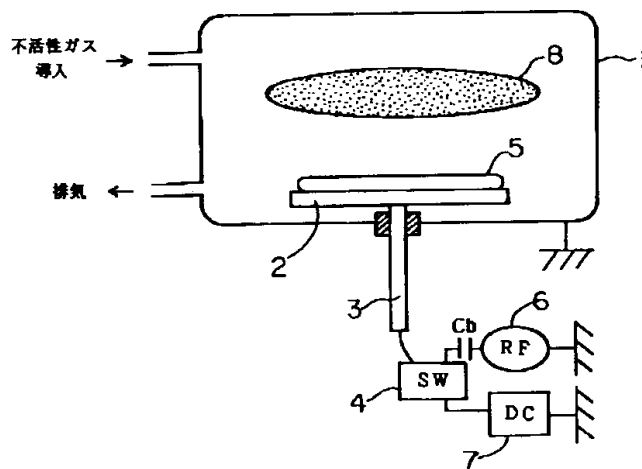
【図6】従来のドライエッチング装置における基板支持台の電位および流入電流を示す図である。

【図7】従来のドライエッチング装置で発生する半導体基板の静電破壊を説明する図である。

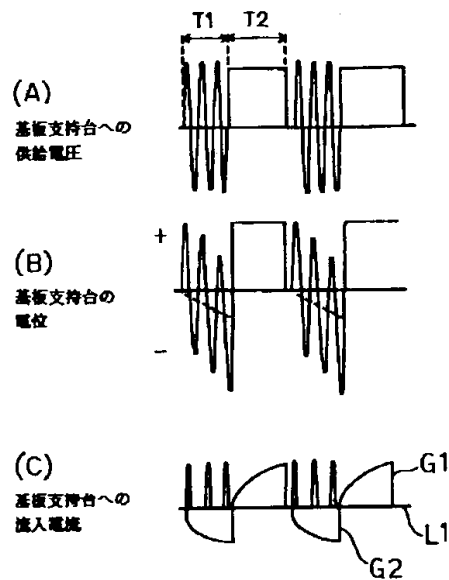
【符号の説明】

1…チェンバ、2…基板支持台、3…導電支持棒、4…切替スイッチ、5…半導体基板、6…RF交流電源、7…直流電源、8…プラズマ

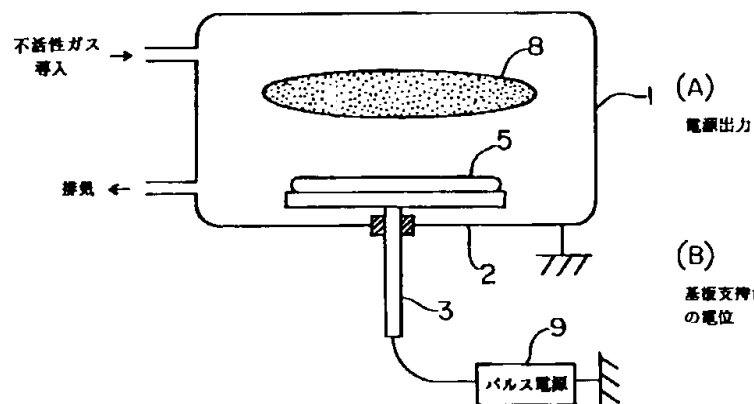
【図1】



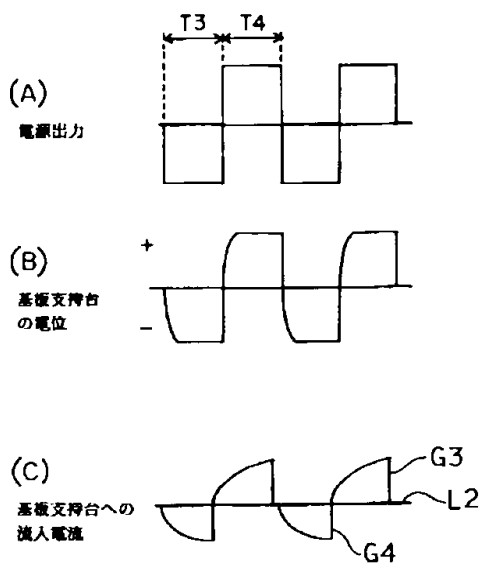
【図2】



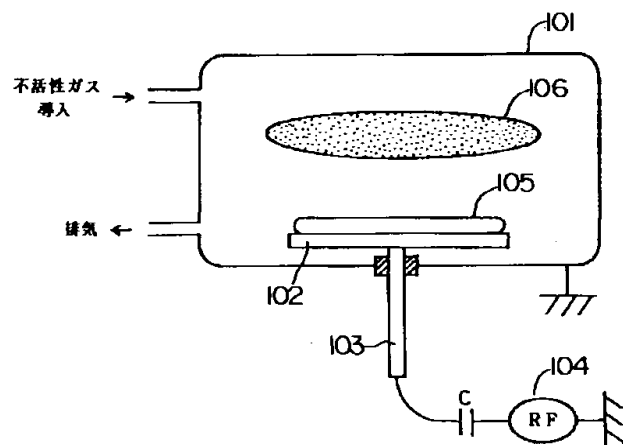
【図3】



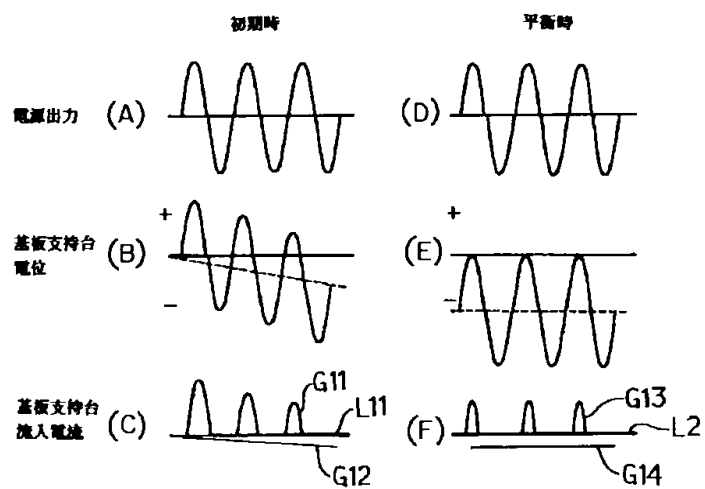
【図4】



【図5】



【図6】





【図7】

